СЕКЦІЯ XIII.
ЕЛЕКТРОНІКА ТА ТЕЛЕКОМУНІКАЦІЇ

DOI 10.62731/mcnd-02.05.2025.002

МЕТОДИ ЗНИЖЕННЯ ПАРАЗИТНИХ ОПОРІВ У СУЧАСНИХ КМОН-ТЕХНОЛОГІЯХ

Вінтоняк Віталій Мирославович
ORCID ID: 0009-0002-1538-1881
аспірант фізико-технічного факультету
Прикарпатський національний університет імені Василя Стефаника, Україна

Паразитні опори у МОН-транзисторах – це небажані резистивні складові, що виникають в елементах структури транзистора та з'єднаннях і не виконують корисної функції. До них належать, зокрема, послідовні опори джерела та стоку, опір контакту метал-напівпровідник, опір затворного матеріалу, а також опори локальних міжз'єднань. Ці паразитні елементи спричинюють падіння напруги і втрати енергії під час перемикання цифрових схем, знижуючи швидкодію та енергоефективність мікросхем. У міру масштабування технологічних норм вплив паразитних опорів зріс: зменшення розмірів транзисторів призвело до скорочення контактних областей, що підвищило їх опір [1].

В сучасних технологіях (від ~14-нм покоління і далі) опір контакту витоку/стоку став домінуючим паразитним фактором, що обмежує продуктивність КМОН-логіки [2][3]. Це швидко загострило проблему: вже на рівні 14-нм техпроцесу контактні опори почали обмежувати швидкодію транзисторів, перетворившись на «вузьке місце» подальшого розвитку [2]. Розглянемо ключові методи, що застосовуються для зменшення паразитних опорів у сучасних КМОН-технологіях цифрових інтегральних схем:

Посилене легування та активація домішок у області стоку/витоку. Підвищення концентрації активованих домішок у витоку та стоку зменшує їхній питомий опір і, відповідно, серійний опір транзистора [1]. Для цього застосовують високоенергетичну імплантацію з подальшими інтенсивними відпалами з метою максимальної активації домішок без

значного розмивання p–n переходів. У планарних технологіях це дозволяло збільшити струм насичення, проте в нанометрових транзисторах традиційні методи імплантації обмежені ефектами аморфізації та розсіювання носіїв на гранях фінів (у FinFET) [4]. Тому впроваджуються альтернативні методи введення домішок – наприклад, плазмове легування або хімічне осадження домішок із газової фази, що дає більш рівномірний профіль легування без пошкодження кристалічної ґратки [4].

Конструктивний підхід "піднятий стік/витік" полягає у нарощуванні додаткового шару напівпровідника (зазвичай шляхом епітаксії) на ділянках джерела і стоку після формування затвору. Піднятий стік/витік має більший переріз провідного каналу, що знижує питомий опір області та компенсує втрату струму, пов'язану зі скороченням розмірів транзистора. Така епітаксійна технологія впроваджена в сучасних FinFET: після виготовлення тонких фінів виконують селективний ріст Si (для nMOS) чи SiGe (для pMOS) на бокових платформах, створюючи об'ємні "підняті" контакти. Це дозволяє зменшити послідовний опір без надмірного збільшення площі структури. Додатково, до епітаксійного шару вводять високі концентрації домішок, що поєднує переваги піднятого стоку/витоку з інтенсивним легуванням.

Метод самовирівнюваного силіцидування (Self-Aligned Silicide) давно використовується для зниження резистивності кремнієвих областей. Під час завершення виготовлення транзистора на поверхню відкритих областей стоку, витоку та полікремнієвого затвору наносять тонкий шар металу (нікель, кобальт, титан тощо) і здійснюють температурний відпал. В результаті метал хімічно реагує з кремнієм, утворюючи силіцид металу – сполуку з набагато меншим питомим опором, ніж у легованого кремнію. Процес SALICIDE охоплює всю поверхню джерела/стоку, формуючи низькоомний шар для підключення контакту [2]. Використання нікелевого силіциду NiSi дозволило істотно зменшити опір розтікання струму в областях стоку/витоку та знизити опір переходу до металевого контакту.

Опір омічного контакту між металом і напівпровідником став ключовим обмеженням продуктивності, тому впроваджуються спеціальні заходи для зниження контактного опору. Один підхід – зменшення бар'єру Шотткі на межі метал/Si за допомогою ультратонких проміжних шарів. Наприклад, концепція MIS-контакту (Metal-Insulator-

Semiconductor) пропонує вставити тонкий шар діелектрика між металом і кремнієм, щоб модифікувати висоту бар'єру і тим самим знизити специфічний опір контакту [2]. Хоча експерименти показали можливість зменшення висоти бар'єру, практичне застосування MIS-контактів обмежене через проблеми термічної стабільності та тунельного опору в ультратонкому ізоляторі [2]. Інший, більш прямий шлях – використання нових матеріалів контактів з меншим опором і тоншим дифузійним бар'єром. У передових процесах замість традиційного вольфраму (W) для заповнення контактних отворів почали застосовувати кобальт (Co). Кобальтовий контакт дозволяє зменшити товщину бар'єрного шару (TiN), забезпечуючи більший корисний переріз провідного металу, а також має менший розсіювальний опір на межах кристалічних доменів у наномасштабі [6]. Результатом переходу на Co стало ~60%-ве зниження опору контакту порівняно з W [6]. Одночасно ведуться роботи з оптимізації технології силіцидів під нові метали: зокрема, для $TiSi_x$ розроблено техніки предконтактної аморфізації SiGe-області та спільного осадження Ti+Si, що дозволило досягти наднизької питомої контактної резистивності ~$1–2\times10^{-9}$ Ом·см^2 [2].

Паразитний опір виникає не лише всередині самого транзистора, але й на рівні його підключення до металевих шин. У сучасних інтегральних схемах між областю стоку/витоку транзистора і першим шаром металу міжз'єднань формується так званий Middle-of-Line (MOL) контакт – зазвичай це вертикальний металевий стовп (контактний «віас») з W або Co. Зменшення опору цих локальних з'єднань є критичним для швидкодії логіки. Перехід на кобальт замість вольфраму в MOL-контактах, згаданий вище, також сприяє зниженню опору коротких локальних міжз'єднань і підвищує надійність за рахунок стійкості до електроміграції [6]. Крім матеріалу, важливим є й компонентне компонування: для зниження ефективного опору широко застосовують паралельне підключення кількох контактних отворів на один контактний електрод транзистора (мультиконтакти), збільшення ширини дифузійних областей під контактами та накладання металевих «перемичок» на довгих затворах. Ці прийоми на рівні дизайну (DTCO) дають змогу зменшити паразитний опір без зміни матеріалів, ціною дещо більшої площі стандартних комірок.

Для кожного з описаних методів зниження паразитних опорів таблиця нижче узагальнює їх призначення, основні переваги та обмеження:

Таблиця 1

Порівняння ефективності методів

Підхід	Переваги	Недоліки
Високе легування + активація домішок	Зменшення опору послідовних областей стоку/витоку, Простота реалізації; помітне підвищення струму увімкнення	Зростання струмів витоку; ефект насичення при досягненні меж легування
Піднятий стік/витік (епітаксія)	Збільшення поперечного перерізу області стоку/витоку, Менший послідовний опір; можливість підвищити рухливість (напруга)	Ускладнення процесу; додаткові паразитні ємності
Силіцидування (NiSi, CoSi тощо)	Зниження опору кремнієвих областей та контакту, Значне зменшення опору дифузій та контакту; відпрацьована технологія	Проблеми масштабування <10 нм; ризик дифузії металу в кремній
Нові матеріали контакту (Co, TiSi_x)	Зменшення питомого опору контактного з'єднання, Наднизька ρc (~10^{-9}Ω·см^2); краща надійність контакту	Складність інтеграції; потреба в сумісності з існуючими процесами
Оптимізація MOL-інтерконекту (Co, мультиконтакт)	Зниження опору місцевих з'єднань транзистора, Менші RC-затримки та падіння напруги; прості дизайн-прийоми	Збільшення площі комірок; обмежена ефективність на довгих лініях (Cu краще)

[авторська розробка]

Зменшення паразитних опорів є необхідною умовою підвищення швидкодії та енергоефективності сучасних цифрових КМОН-схем. Описані методи – від інженерії легування до впровадження нових матеріалів контактів – дозволяють частково компенсувати втрати продуктивності при подальшому зменшенні розмірів транзисторів. Комплексне застосування кількох підходів забезпечує найбільший ефект: зокрема, продемонстровано понад 70% зниження зовнішнього паразитного опору транзисторів при комбінуванні кількох технологічних рішень у FinFET-структурах [5]. Надалі актуальними є дослідження нових низькоомних матеріалів та структур: напівметалевих контактів, 2D-матеріалів як дифузійних бар'єрів, використання германію та сполук III–V для зменшення бар'єрів Шотткі тощо. Ці інновації на рівні

техпроцесу спрямовані на покращення характеристик цифрової логіки без збільшення енергоспоживання, що є критично важливим для процесорів і ASIC новітніх поколінь.

Список використаних джерел:

1. Chudzik M. New Innovations Needed to Continue Scaling Advanced Logic [Електронний ресурс] // Applied Materials Blog. – 10 червня 2021. – Режим доступу: https://www.appliedmaterials.com/en-us/blog/blog-posts/new-innovations-needed-to-continue-scaling-advanced-logic.html (дата звернення: 20.04.2025).
2. Yu H. Solving the Contact Resistance Challenge for 7 nm and Beyond CMOS [Електронний ресурс] // imec Magazine. – Квітень 2019. – Режим доступу: https://www.imec-int.com/en/imec-magazine/imec-magazine-april-2019/solving-the-contact-resistance-challenge-for-7nm-and-beyond-cmos (дата звернення: 20.04.2025).
3. Ma M., Li C., Ma J. та ін. Investigation of Source/Drain Height Variation and Its Impacts on FinFET and GAA Nanosheet FET // Electronics. – 2025. – Т. 14, № 6. – Art. 1091. – DOI: 10.3390/electronics14061091.
4. Karimi K., Fardoost A., Javanmard M. Comprehensive Review of FinFET Technology: History, Structure, Challenges, Innovations, and Emerging Sensing Applications // Micromachines. – 2024. – Т. 15, № 10. – Art. 1187. – DOI: 10.3390/mi15101187.
5. Wu H., Gluschenkov O., Tsutsui G. та ін. Parasitic Resistance Reduction Strategies for Advanced CMOS FinFETs Beyond 7 nm // Proceedings of IEEE International Electron Devices Meeting (IEDM). – San Francisco, 1–5 грудня 2018. – С. 35.4.1-35.4.4. – DOI: 10.1109/IEDM.2018.8614661.
6. Naik M. Keeping Up Power and Performance with Cobalt [Електронний ресурс] // Semiconductor Engineering. – 24 січня 2019. – Режим доступу: https://semiengineering.com/keeping-up-power-and-performance-with-cobalt/ (дата звернення: 20.04.2025).